اولین کنفرانس ملی رویکردهای نوین در مهندسی برق، کامپیوتر و فن آوری ارتباطات
آذرماه ۱۳۹۷

بهبود ماکزیمم چگالی توان و اثر بدنه شناور در LDMOSFET با ایجاد چاه حفره ای SiGe و فلز شناور

زینب رمضانی*[۱]، سحر نخبه زعیم[۲]، نساء برف‌چالان[۳]

[۱]* دکتری تخصصی مهندسی برق الکترونیک، دانشگاه فنی و حرفه ای کشور، دانشکده فنی دکتر شریعتی ، تهران
ramezaniz@ymail.com

[۲] کارشناس مهندسی تکنولوژی الکترونیک، دانشگاه فنی و حرفه ای کشور، دانشکده فنی دکتر شریعتی ، تهران
saharnokhbe@gmail.com

[۳] کارشناس مهندسی تکنولوژی الکترونیک، دانشگاه فنی و حرفه ای کشور، دانشکده فنی دکتر شریعتی ، تهران
nesabarfchalan@gmail.com

چکیده

ترانزیستورهای اثر میدان نفوذ افقی در راه‌انداز موتور، سوئیچ‌های توان و سیستم‌های مخابراتی کاربرد دارند. اکثر ترانزیستورهای LDMOS با فناوری SOI ساخته می‌شوند. برتری‌های این فناوری از جمله ایزولاسیون عالی، سرعت بالا و تلفات بدنه پایین باعث شده این نوع ترانزیستور به طور گسترده‌ای در حوزه الکترونیک قدرت به کار رود. هر چند به دلیل وجود لایه اکسید مدفون مشکلاتی برای این ترانزیستور ایجاد می‌شود که کاربردهای آن را در مدارهای مجتمع توان و ولتاژ بالا محدود می‌کند، مشکل اصلی، ولتاژ شکست پایین این نوع افزاره‌هاست. در این مقاله ساختار جدیدی برای بهبود مشخصات الکتریکی ترانزیستور LDMOS معرفی شده است. ساختار LDMOS پیشنهادی دارای پنجره سیلیسیم-ژرمانیوم فرو رفته در زیر کانال عبور جریان و یک صفحه فلزی بین گیت و درین است. تحلیل عملکرد ساختار پیشنهادی توسط شبیه‌ساز Silvaco TCAD صورت گرفته است که نشاندهنده نتایج قابل توجهی از جمله یکنواختی پتانسیل الکتریکی، افزایش ولتاژ شکست، کاهش اثر بدنه شناور و در نهایت افزایش جریان درین بوده است.

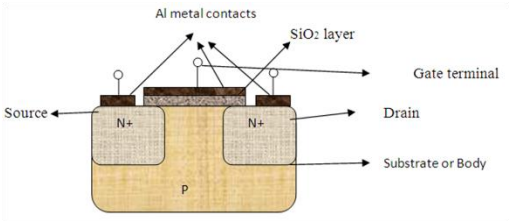
کلمات کلیدی

ترانزیستور اثر میدان، LDMOS، ولتاژ شکست، تکنولوژی سیلیسیم روی عایق

۱- مقدمه

ترانزیستور در مدارات زیادی از جمله تقویت‌کننده‌ها، مدارات دیجیتال و حافظه‌ها کاربرد دارد. اصول کلی کارکرد ترانزیستور بر این پایه است که با اعمال ولتاژ به دو ترمینال جریان، ترمینال سوم را کنترل می‌کنند. امروزه، دو نوع ترانزیستور مهم وجود دارد: ترانزیستور اثر میدان نیمه‌رسانای اکسید فلز (MOSFET [۱]) و ترانزیستور پیوندی دوقطبی (BJT [۲]). MOSFET از BJT کوچک‌تر و ساخت آن ساده‌تر بوده و توان کمتری مصرف می‌کند. بنابراین MOSFET در ساخت بسیاری از مدارات مجتمع کاربرد دارد [4].

این ترانزیستور بر روی یک پایه از نوع p ساخته می‌شود. بر روی پایه دو ناحیه با نیمه‌رسانا نوع n که دارای ناخالصی زیادی هستند ایجاد می‌شود. این نواحی سورس[۳] و درین[۴] نامیده می‌شوند که با یک اتصال فلزی در دسترس قرار می‌گیرند. بین این دو ناحیه و در سطح پایه، عایقی از جنس شیشه کشیده می‌شود. بر روی این عایق یک لایه فلز قرار داده می‌شود که اتصالی با نام گیت[۵] به وجود می‌آورد. ممکن است پایه نیز به یک اتصال فلزی وصل شود [7]. شکل (۱) ساختار کلی ترانزیستور MOSFET را نشان می‌دهد.



شکل (۱) ساختار کلی ترانزیستور MOSFET

با توجه به اینکه ترانزیستورهای MOSFET، تنها ولتاژهای کوچک را تحمل می‌کنند، به منظور استفاده در کاربردهای قدرت باید ساختار آنها را اصلاح نمود. ترانزیستور LDMOS [۶] یکی از پرکاربردترین ترانزیستورهای قدرت است. ترانزیستورهای LDMOS به دلیل ولتاژ شکست بالا برای کاربردهای ولتاژ بالای مختلفی مثل منابع تغذیه سوئیچینگ، راه‌انداز موتورها در مدارات مجتمع توان و غیره استفاده می‌شوند. اما کاربرد فرکانس بالای این افزاره‌ها در سال‌های اخیر نمود بیشتری پیدا کرده است و می‌توان گفت که امروزه مهم‌ترین کاربرد این افزاره‌ها در تقویت‌کننده‌های توان در RF در ایستگاه‌های مخابرات سیار می‌باشد [1,2].

برای ترانزیستورهای LDMOS دو ساختار کلی بدنه[۷] و سیلیسیم روی عایق[۸] معرفی شده‌اند. در افزاره‌های بدنه یک کنتاکت به شدت آلایش‌یافته با نام چاهک بین ناحیه سورس و زیرلایه برقرار می‌شود. این چاهک به سورس اجازه می‌دهد تا از طریق کنتاکت زیرلایه در پایین به زمین متصل گردد. مزیت واضح استفاده از چاهک، کاهش کنتاکت‌های روی سطح است که مجتمع‌سازی ترانزیستورهای LDMOS را ساده‌تر می‌کند. عملکرد RF نیز با چنین کنتاکتی بهبود می‌یابد چون اندوکتانس سورس کمتر می‌شود [3,8].

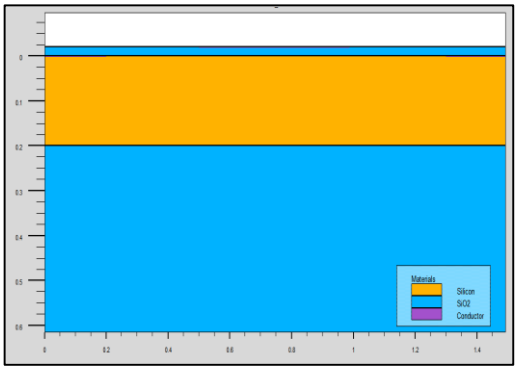
اما در ساختار سیلیسیم روی عایق، لایه اکسید مدفون امکان اتصال سورس و زیرلایه را حذف می‌کند و در نتیجه نیازی به استفاده از چاهک در این افزاره‌ها نمی‌باشد. با توجه به این که چاهک حدود ۸۰ درصد نفوذ طولی دارد، حذف آن منجر به کاهش قابل ملاحظه حجم سلول در LDMOSهای سیلیسیم روی عایق می‌شود [5,9].

از سوی دیگر، یکی از مشکلاتی که در تکنولوژی SOI وجود دارد، اثر بدنه شناور است. وقتی که الکترون‌ها از سورس به سمت درین حرکت می‌کنند، انرژی‌شان خیلی زیاد می‌شود. این انرژی زیاد باعث ایجاد برخوردهایی در داخل ماده می‌شود. با هر برخوردی که با اتم‌های شبکه صورت می‌گیرد، یک الکترون–حفره ایجاد می‌شود. در این تکنولوژی، حفره ایجادشده راهی برای رفتن به پتانسیل صفر ندارد؛ زیرا لایه اکسید مدفون، امکان انتقال حفره از کانال ترانزیستور به سمت زیرلایه را نمی‌دهد. این امر باعث تجمع حفره‌های زیادی در ناحیه کانال می‌شود. ایجاد حفره به مفهوم افزایش پتانسیل مثبت در این ناحیه است. این افزایش پتانسیل مثبت، موجب می‌شود دیود PN که قبلاً بایاس معکوس بوده است، به صورت مستقیم بایاس شده و در نتیجه میزان جریان‌ها در ترانزیستور تغییر کند. اصطلاحاً این رفتار را اثر بدنه شناور می‌گویند. اثر بدنه شناور موجب تغییر ناگهانی جریان می‌شود که برای کنترل این اثر نامطلوب می‌بایست از ترانزیستور SOI در یک محدوده ولتاژ معین استفاده نمود [6,12].

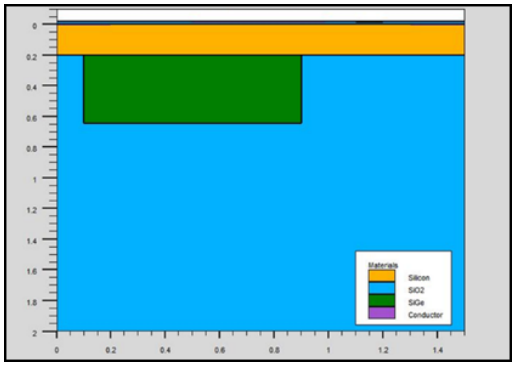
یکی از روش‌های کاهش اثر بدنه شناور، استفاده از ساختارهای ناهمگون می‌باشد. ساختار ناهمگون، ساختاری است که در آن از پیوندهای ناهمگون برای بهبود مشخصات استفاده شده است در این حالت با توجه به ناپیوستگی نوارهای انرژی، حفره‌های ایجادشده در کانال ترانزیستور جذب این قسمت می‌شوند و از تجمع حفره‌ها در کانال می‌کاهد [10,11].

۲- معرفی ساختار پیشنهادی

به منظور بهبود ماکزیمم چگالی توان و کاهش اثر بدنه شناور در ساختار مرسوم LDMOS (C-LDMOS [۹]) یک پنجره سیلیسیم–ژرمانیوم (Si-Ge) در زیر ناحیه کانال ترانزیستور LDMOS در نظر گرفته می‌شود تا این پنجره بتواند حفره‌های تولید شده را جذب کرده و اثر بدنه شناور را کاهش دهد. همچنین وجود صفحه فلزی شناور مابین گیت و درین باعث یکنواخت‌تر شدن میدان الکتریکی و در نتیجه افزایش ولتاژ شکست و بهبود چگالی توان می‌شود. همچنین زمانی که بایاس مثبت برای صفحه میدان ایجاد شود، الکترون‌های بیشتری جذب زیر ناحیه درین می‌شوند و جریان درین، کمی افزایش می‌یابد و در نتیجه مقاومت حالت روشن کمتر می‌گردد. این ساختار پیشنهادی تحت عنوان WFM-LDMOS [۱۰] نام‌گذاری شده است. ساختار ترانزیستور C-LDMOS و WFM-LDMOS به ترتیب در شکل‌های (۲) و (۳) نشان داده شده است.



شکل (۲) ساختار ترانزیستور C-LDMOS



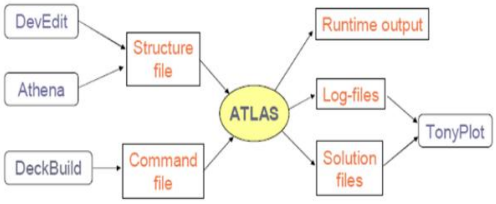
شکل (۳) ساختار ترانزیستور WFM-LDMOS

همانگونه که در شکل (۳) ملاحظه می‌شود، صفحه فلزی بین درین و گیت تعبیه شده است. در این ساختار، طول فلز ۰,۱۵ میکرومتر و ضخامت آن ۰,۱ میکرومتر طراحی شده است. همچنین طول کانال SiGe، ۰,۸ میکرومتر و ضخامت آن ۰,۴ میکرومتر لحاظ شده است. طول سورس و درین برابر یکدیگر (۰,۲ میکرومتر) و طول گیت ۰,۵ میکرومتر در نظر گرفته شده است.

۳- معرفی روش شبیه‌سازی مورد استفاده

در این مقاله از شبیه‌ساز Silvaco TCAD استفاده شده است. این شبیه‌ساز از چندین شبیه‌ساز دیگر تشکیل شده است که مهم‌ترین آنها ATLAS است. ATLAS برای شبیه‌سازی ادوات نیمه‌هادی و به دست آوردن مشخصه‌های الکتریکی دیوایس‌ها به کار می‌رود. بنابراین در این مقاله از شبیه‌ساز ATLAS برای شبیه سازی ساختار WFM-LDMOS استفاده نموده و در ادامه، نتایج بهبود عملکرد آن ارائه خواهد شد.

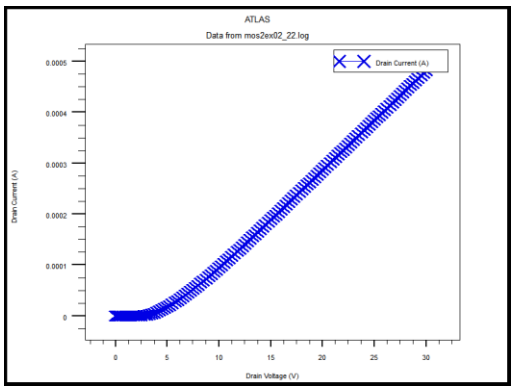
شکل (۴) انواع ورودی و خروجی شبیه‌ساز ATLAS را نمایش می‌دهد. در این مقاله، برنامه Deckbuild به کار گرفته شده است که اطلاعات ورودی را در قالب یک فایل متنی با پسوند in. در اختیار شبیه‌ساز ATLAS قرار می‌دهد. خروجی‌های Runtime، خروجی‌هایی هستند که در حین شبیه‌سازی نمایش داده می‌شوند.



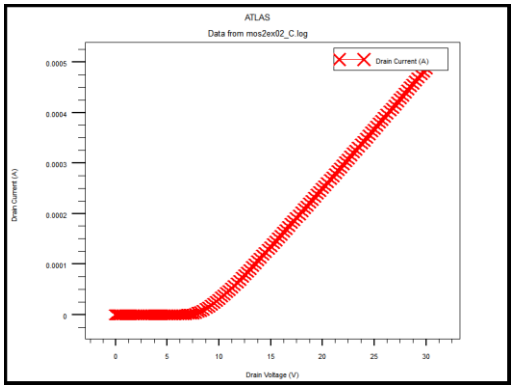
شکل (۴) ورودی‌ها و خروجی‌های شبیه‌ساز ATLAS

۴- بررسی نتایج شبیه‌سازی

نمودار ولتاژ-جریان درین ساختارهای C-LDMOS و WFM-LDMOS به ترتیب در شکل‌های (۵) و (۶) ارائه شده است. به وضوح مشخص است ولتاژ شکست در ساختار WFM-LDMOS نسبت به ساختار C-LDMOS افزایش یافته است.

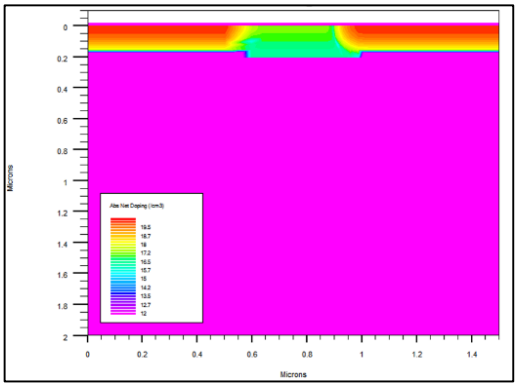


شکل (۵) نمودار ولتاژ-جریان درین در C-LDMOS

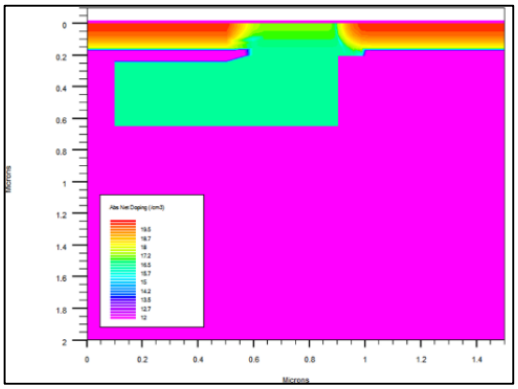


شکل (۶) نمودار ولتاژ-جریان درین در WFM-LDMOS

در ادامه به بررسی میدان الکتریکی در دو ساختار مورد بررسی پرداخته می‌شود. شکل‌های (۷) و (۸) به ترتیب ساختارهای C-LDMOS و WFM-LDMOS را در حضور میدان الکتریکی نشان می‌دهند.

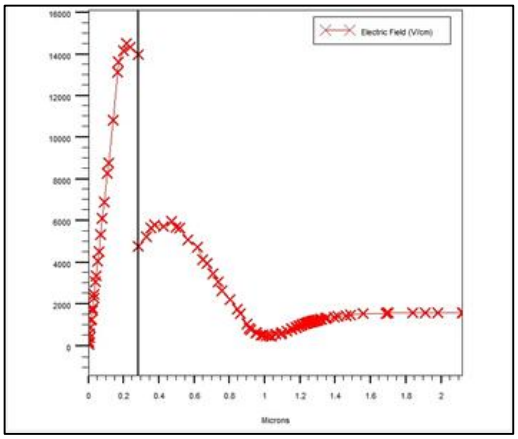


شکل (۷) ساختار C-LDMOS در حضور میدان الکتریکی

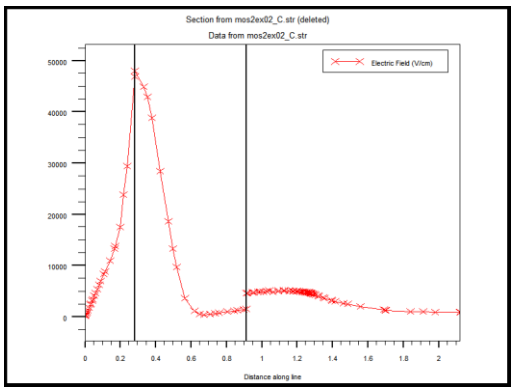


شکل (۸) ساختار WFM-LDMOS در حضور میدان الکتریکی

با انجام شبیه‌سازی که نمودارهای آن در شکل‌های (۹) و (۱۰) ارائه شده است، می‌توان نتیجه گرفت وجود صفحه فلزی شناور بین گیت و درین باعث یکنواخت‌تر شدن میدان در اطراف گیت می‌شود. در نتیجه با کاهش میدان الکتریکی در اطراف گیت، ولتاژ شکست افزایش می‌یابد.

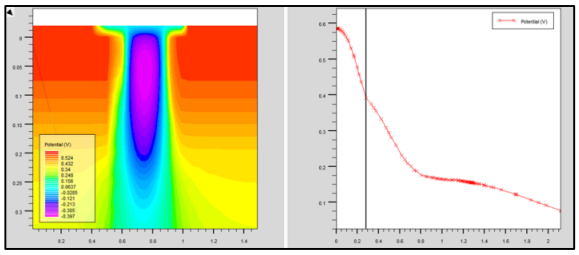


شکل (۹) توزیع میدان الکتریکی در ساختار C-LDMOS

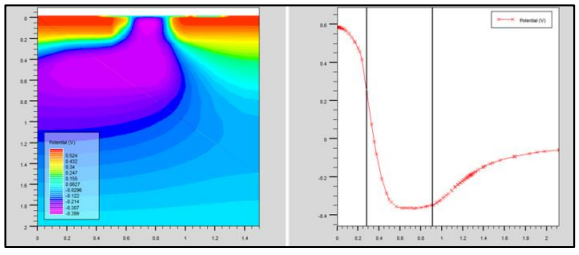


شکل (۱۰) توزیع میدان الکتریکی در ساختار WFM-LDMOS

چگونگی توزیع خطوط پتانسیل در ساختارهای C-LDMOS و WFM-LDMOS به ترتیب در شکل‌های (۱۱) و (۱۲) نشان داده شده است. همانگونه که مشاهده می‌شود توزیع خطوط پتانسیل در ساختار WFM-LDMOS یکنواخت‌تر است. با توجه به این که چگالی خطوط پتانسیل، نشان‌دهنده شدت میدان الکتریکی است؛ بنابراین توزیع یکنواخت‌تر خطوط پتانسیل در نزدیکی ناحیه درین، نشان‌دهنده توزیع یکنواخت‌تر میدان الکتریکی و در نتیجه ولتاژ شکست بالاتر برای ساختار WFM-LDMOS است.



شکل (۱۱) توزیع خطوط پتانسیل در ساختار C-LDMOS

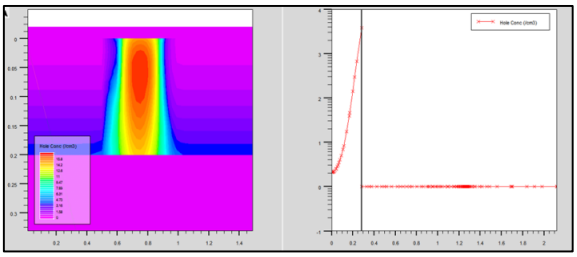


شکل (۱۲) توزیع خطوط پتانسیل در ساختار WFM-LDMOS

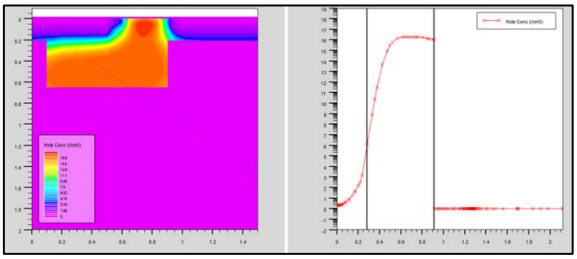
با توجه به این که در ترانزیستورهای MOSFET، جریان تنها نتیجه شارش یکی از حامل‌ها (الکترون یا حفره) می‌باشد، در ادامه به تحلیل این موضوع در ساختارهای مورد مطالعه پرداخته می‌شود.

شکل‌های (۱۳) و (۱۴) تاثیر افزایش حفره‌ها را در ساختارهای مرسوم و پیشنهادی نشان می‌دهد. همانگونه که در شکل‌ها مشخص است، تعداد

حفره‌ها در ساختار WFM-LDMOS نسبت به ساختار مرسوم با افزایش روبه‌رو شده است.

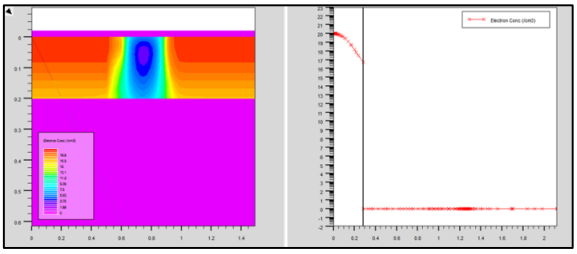


شکل (۱۳) تعداد حفره‌ها در ساختار C-LDMOS

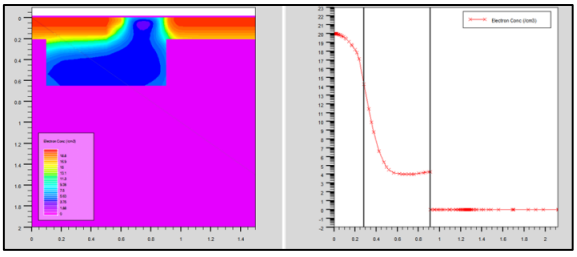


شکل (۱۴) تعداد حفره‌ها در ساختار WFM-LDMOS

شکل‌های (۱۵) و (۱۶) تاثیر افزایش الکترون‌ها را در ساختارهای مرسوم و پیشنهادی نشان می‌دهد. همانگونه که در شکل‌ها مشخص است، مشابه حفره‌ها، تعداد الکترون‌ها در ساختار WFM-LDMOS نسبت به ساختار مرسوم با افزایش روبه‌رو شده است.

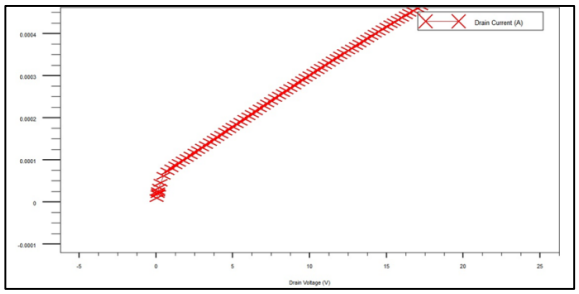


شکل (۱۵) تعداد الکترون‌ها در ساختار C-LDMOS

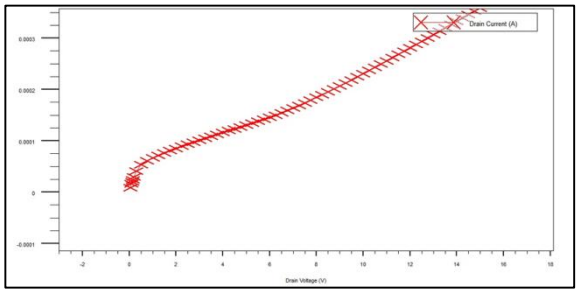


شکل (۱۶) تعداد الکترون‌ها در ساختار WFM-LDMOS

در مقایسه دو ساختار مورد مطالعه این نتیجه حاصل می‌شود که هر دو حامل در ساختار WFM-LDMOS افزایش می‌یابد. بنابراین انتظار می‌رود که جریان درین در ساختار پیشنهادی افزایش یابد. شکل‌های (۱۷) و (۱۸)، افزایش جریان درین در ساختار پیشنهادی را مورد تایید قرار می‌دهند.



شکل (۱۷) جریان درین در ساختار C-LDMOS



شکل (۱۸) جریان درین در ساختار WFM-LDMOS

۵- نتیجه

در این مقاله با پیشنهاد ساختار جدیدی برای ترانزیستورهای LDMOS، به بررسی ویژگی‌ها و نحوه عملکرد آن پرداختیم. ساختار پیشنهادی با نام WFM-LDMOS دارای یک فلز شناور مابین گیت و درین و یک پنجره SiGe است. نتایج این مدل‌سازی با آنچه از نرم‌افزار شبیه‌ساز ATLAS به دست آمده، تطابق قابل قبولی را نشان می‌دهد. از سوی دیگر، به علت متفاوت بودن دیاگرام باند انرژی نیمه هادی سیلیسیم و سیلیسیم-ژرمانیوم، ناپیوستگی در محل پیوند بین این دو ماده به وجود می‌آید. بنابراین حفره‌های کانال می‌توانند از این ناپیوستگی عبور کرده و تجمع آنها در این منطقه از بین می‌رود. همچنین نتیجه می‌شود با ایجاد ناحیه تخلیه بین کانال ترانزیستور و پنجره SiGe، میدان الکتریکی یکنواخت‌تری در کانال ترانزیستور ایجاد می‌گردد که افزایش ولتاژ شکست را منجر می‌شود. در نتیجه، WFM-LDMOS عملکرد الکتریکی بسیار بهتری نسبت به C-LDMOS دارد و گزینه مناسبی برای کاربردهای توان، سرعت زیاد و فرکانس‌های بالا است.

در انتها، پیشنهادهایی برای کارهای آینده در ذیل ارائه می‌شود:

- بررسی اثر خودگرمایی در ساختار WFM-LDMOS
- تغییر در ابعاد فلز شناور در ساختار WFM-LDMOS به منظور افزایش ولتاژ شکست
- بهینه سازی میزان چگالی ناخالصی‌ها و ابعاد پنجره SiGe در ساختار WFM-LDMOS

[۲] Source
[۴] Drain
[۵] Gate
[۶] Laterally Diffused Metal Oxide Semiconductor (LDMOS)
[۷] Bulk silicon
[۸] Silicon On Insulator (SOI)
[۹] Conventional LDMOSFET (C-LDMOS)
[۱۰] SiGe Well and Floating Metal in LDMOSFET (WFM-LDMOS)

مراجع

[1] Martinez P. F., Palomo F. R., Diez S., Hidalgo S., Ullan M., Flores D., and Sorge R., "*Simulation methodology for does effects in lateral DMOS transistors*", Microelectronics J., vol. 43, pp. 50-56, 2012.

[2] Kannan S., Kim B., Taenzler F., Antley R., "*Development of scalable electrical models for high voltage LDMOS*", ECCE Asia, pp. 5-9, 2012.

[3] Saremi M., Ebrahimi B., Kusha A. A., Mohammadi S., "*A partial-SOI LDMOSFET with triangular buried-oxide for breakdown voltage improvement*", Microelectronics Reliability, vol. 51, pp. 2069-2076, 2011.

[4] Kumar M. J., and Orouji A. A., "*Investigation of a new modified source/drain for diminished self-heating effects in nanoscale MOSFETs using computer simulation*", Physica E; low dimensional sys and nanostructures, vol. 33, pp. 134-138, 2006.

[5] Chang Y. H., Lin Sh. W., Chang Ch. H., "*Optimization of high voltage LDMOSFETs with complex multiple-resistivity drift region and field plate*", Microelectronics Reliability, vol. 50, pp. 949-953, 2010.

[6] Lee I. K., Yun S. R. N., Kim K. S., Yu C. G., and Park J. T., "*New experimental findings on hot-carrier-induced degradation in lateral DMOS transistors*", Microelectronics Reliability, vol. 46, pp. 1864-1867, 2006.

[7] Bychikhin S., Haberfehlner G., Rhayem J., Vanderstraeten D., Gillon R., and Pogany D., "*Investigation of smart power DMOS devices under repetitive stress conditions using transient thermal mapping and numerical simulation*", Microelectronics Reliability, vol. 50, pp. 1427-1430, 2010.

[8] Tenbroek B. M., Lee M. S., Redman-White W., Bunyan R. J. T., and Uren M. J., "*Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques*", Electron Devices, IEEE Trans., vol. 43, no. 12, pp. 2240–2248, 1996.

[9] Mahabadi S. J., Rajabi S., and Loiacono J., "*A novel partial SOI LDMOSFET with periodic buried oxide for breakdown voltage and self-heating effect enhancement*", Superlattices Microstruct., vol. 85, pp. 872–879, 2015.

[10] Wang W., Zhang B., Li Z., and Chen W., "*High-voltage SOI SJ-LDMOS with a nondepletion compensation layer*", Electron Device Lett. IEEE, vol. 30, no. 1, pp. 68–71, 2009.

[11] Qi Li, Yi Wen, Fabi Zhang, Haiou Li, Gongli Xiao, Yonghe Chen, Tao Fu, "*A novel SOI LDMOS with substrate field plate and variable-k dielectric buried layer*", Results in Physics, Volume 10, Pages 46-54, 2018.

[12] Meng-tian Bao, Ying Wang, Xing-ji Li, Chao-ming Liu, Cheng-hao Yu, Fei Cao, "*Simulation study of single event effects in the SiC LDMOS with a step compound drift region*", Microelectronics Reliability, Volume 91, Part 1, Pages 170-178, 2018.

[۱] Metal Oxide Semiconductor Field Effect Transistor (MOSFET)
[۲] Bipolar Junction Transistor (BJT)